

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

009955551 **Image available**

WPI Acc No: 1994-223264/199427

XRPX Acc No: N94-175890

**Active matrix colour display device of improved quality - has gradation
voltage supplied to selection line to make each pixel display same
gradation level using time sharing application process operating in
sequence NoAbstract**

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6161385	A	19940607	JP 92315100	A	19921125	199427 B

Priority Applications (No Type Date): JP 92315100 A 19921125

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6161385	A	12	G09G-003/36	

Abstract (Basic): JP 6161385 A

Dwg.1/1

Title Terms: ACTIVE; MATRIX; COLOUR; DISPLAY; DEVICE; IMPROVE; QUALITY;
GRADATION; VOLTAGE; SUPPLY; SELECT; LINE; PIXEL; DISPLAY; GRADATION;
LEVEL; TIME; SHARE; APPLY; PROCESS; OPERATE; SEQUENCE; NOABSTRACT

Derwent Class: P81; P85; T04; U14

International Patent Class (Main): G09G-003/36

International Patent Class (Additional): G02F-001/133; G09G-003/20;
H04N-005/70

File Segment: EPI; EngPI

特開平6-161385

(43) 公開日 平成6年(1994)6月7日

(51) Int. Cl. ⁵	識別記号	F I
G09G 3/36		7319-5G
G02F 1/133	550	9226-2K
G09G 3/20		Z 7335-5G
H04N 5/70	A	9068-5C

審査請求 未請求 請求項の数 8 (全12頁)

(21) 出願番号 特願平4-315100

(22) 出願日 平成4年(1992)11月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

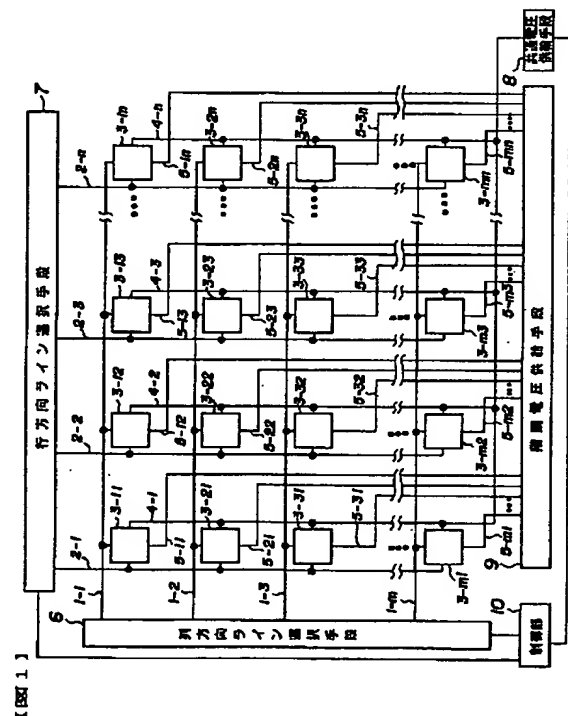
(74) 代理人 弁理士 武 顕次郎

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

【目的】 大面積、高精細画面において表示品質が良好であり、階調数に依存しない正確な階調表示ができるアクティブマトリクス表示装置の提供。

【構成】 平行で複数の列方向ライン1と、ライン1に直交し複数の行方向ライン2と、各ライン1、2の交点に接続された多数の表示画素3と、各表示画素3に各別接続の多数の選択ライン4を備え、各表示画素3の表示時に、各ライン1、2に同時に選択電圧を供給するとともに、1つの同じ階調レベルを表示させる各表示画素3に接続の選択ライン4に、その階調レベル表示用の階調電圧を同時に供給して、各表示画素3を選択的に同時に表示させ、また、その階調電圧は、各階調レベル毎にその階調レベルに対応した選択ライン4に時分割的に順次供給され、1フレーム期間内に、全ての階調レベルについてその階調電圧の時分割的な供給が行なわれる。



【特許請求の範囲】

【請求項 1】 互いに平行配置された複数の列方向ラインと、それら列方向ラインに絶縁直交配置された複数の行方向ラインと、各列方向ラインと各行方向ラインの交点にそれぞれ接続配置された多数の表示画素と、前記多数の表示画素に各別に接続された多数の選択ラインとを備え、前記多数の表示画素は、表示素子と電荷保持手段と表示素子駆動手段を含み、前記多数の表示画素の表示時に、各列方向ラインと各行方向ラインに同時に選択電圧を供給するとともに、1つの同じ階調レベルを表示させる各表示画素に接続された前記選択ラインに、前記階調レベルの表示を行なう階調電圧を同時に供給して、当該各表示画素を選択的に同時に表示させるように構成し、また、前記階調電圧は、各階調レベル毎にその階調レベルに対応した前記選択ラインに時分割的に順次供給され、1フレーム期間内に、全ての階調レベルについて前記階調電圧の時分割的な供給が行なわれることを特徴とするアクティブマトリクス表示装置。

【請求項 2】 前記表示素子は、液晶素子からなることを特徴とする請求項 1 記載のアクティブマトリクス表示装置。

【請求項 3】 前記表示素子は、エレクトロルミネッセンス (EL) 素子からなることを特徴とする請求項 1 記載のアクティブマトリクス表示装置。

【請求項 4】 前記電荷保持手段は、第 1 の薄膜トランジスタ (TFT) とコンデンサとからなることを特徴とする請求項 1 記載のアクティブマトリクス表示装置。

【請求項 5】 前記表示素子駆動手段は、第 2 の薄膜トランジスタ (TFT) からなることを特徴とする請求項 1 記載のアクティブマトリクス表示装置。

【請求項 6】 前記多数の表示画素に共通ラインが設けられ、この共通ラインは前記第 2 の薄膜トランジスタ (TFT) の一端に接続されることを特徴とする請求項 5 記載のアクティブマトリクス表示装置。

【請求項 7】 前記 1 フレーム期間内に、前記選択ラインに供給される階調電圧波形は、順次階段状に上昇または下降するものであることを特徴とする請求項 1 記載のアクティブマトリクス表示装置。

【請求項 8】 前記 1 フレーム期間内に、前記選択ラインに供給される階調電圧波形は、順次直線状に上昇または下降するものであることを特徴とする請求項 1 記載のアクティブマトリクス表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、平面ディスプレイ形式のアクティブマトリクス表示装置に係り、特に、1フレーム期間内の表示画素の選択時間に余裕を持たせ、大面積画面または高精細画面の表示時においても表示画質を良好にさせることが可能なアクティブマトリクス表示装置に関する。

【0002】

【従来の技術】 従来、既知のアクティブマトリクス表示装置、特に、アクティブマトリクス液晶表示装置は、互いに平行配置された複数の走査ラインと、それら走査ラインに絶縁直交配置された複数の信号ラインと、各走査ラインと各信号ラインの交点にそれぞれ接続配置された多数の表示画素と、前記各表示画素に接続された共通ラインとから構成され、各表示画素は、通常、ゲートが対応する走査ラインに接続され、ドレインが対応する信号ラインに接続された薄膜トランジスタ (TFT) と、TFT のソースと前記共通ライン間に接続された液晶素子とを含んでいるものである。各表示画素は、走査ラインを通じて走査パルス印加し、対応した TFT をオン状態にすることによって選択され、信号ラインを通じて表示信号が書き込まれる。この場合、各表示画素に供給される走査パルスは、通常、最初の走査ラインから最後の走査ラインに至るまで、順次タイミングをずらせた状態で印加されるものであるが、液晶表示装置の画面が大面積画面になり、かつ、高精細画面になればなるほど、走査ラインの総数が増大し、1フレーム時間が不変であるとすれば、走査ラインの数に反比例して 1 本の走査ラインに供給される走査パルスの印加時間 (走査パルス幅)、即ち、各表示画素の駆動時間が短くなる。このため、大面積、高精細画面の液晶表示装置を構成するためには、短い画素選択時間内に表示画素に信号を書き込み、かつ、その表示内容を次のフレームまで長時間維持させる必要がある。

【0003】 前述のような課題を解決しようとした既知の液晶表示装置としては、例えば、特開平 3 - 7 7 9 2 2 号に開示の手段が知られている。

【0004】 図 8 は、前記既知の液晶表示装置の一例を示すものであって、その中の 1 つの表示画素に関連する構成部分を表わす回路構成図である。

【0005】 図 8 において、50、51 は走査ライン、52、53 は信号ライン、54 は第 1 の薄膜トランジスタ (TFT)、55 は電圧蓄積キャパシタ、56 は第 2 の薄膜トランジスタ (TFT)、57 は液晶素子、58、59 は交流電源ライン (共通ライン)、60 はアースラインである。

【0006】 そして、第 1 の TFT 54、電圧蓄積キャパシタ 55、第 2 の TFT 56、液晶素子 57 は、1 つの表示画素を構成しているもので、この場合に、第 1 の TFT 54 は、ゲートが走査ライン 50 に、ドレインが信号ライン 52 に、ソースが第 2 の TFT 56 のゲートにそれぞれ接続され、第 2 の TFT 56 のゲートとアースライン 60 間に電圧蓄積キャパシタ 55 が接続される。第 2 の TFT 56 は、ドレインが交流電源ライン 59 に、ソースが液晶素子 57 の一端にそれぞれ接続され、液晶素子 57 の他端は交流電源ライン 58 に接続される。なお、第 1 の TFT 54 と電圧蓄積キャパシタ 5

5 は、サンプリングホールド回路として機能し、第 2 の T F T 5 5 は、バッファトランジスタとして機能するものである。

【 0 0 0 7 】前記構成による既知の液晶表示装置は、以下に述べるような動作を行なう。

【 0 0 0 8 】いま、ある時間タイミングにおいて、走査ライン 5 0 に走査パルス、信号ライン 5 2 に信号電圧がそれぞれ印加されると、第 1 の T F T 5 4 が導通し、前記信号電圧に相当する電圧が電圧蓄積キャパシタ 5 5 に蓄積される。また、電圧蓄積キャパシタ 5 5 に信号電圧が充電されると、それにより第 2 の T F T 5 6 は導通状態になるが、その導通の状態は前記信号電圧の大きさに依存し、そのドレイン・ソース間インピーダンスは、前記導通の状態によって決まる。即ち、前記信号電圧が最大になれば、前記インピーダンスは最小になり、逆に、前記信号電圧が最小になれば、前記インピーダンスは最大になり、前記信号電圧が中間の値になれば、前記インピーダンスも中間の値にある。一方、液晶素子 5 7 はこの第 2 の T F T 5 6 のドレイン・ソース通路に直列接続されており、これら直列接続回路の両端に交流電圧が供給され、この交流電圧は液晶素子 5 7 のインピーダンスと第 2 の T F T 5 6 の前記インピーダンスとで分圧されるので、液晶素子 5 7 の両端に印加される前記交流電圧の電圧の大きさは、第 2 の T F T 5 6 の前記インピーダンスの値によって決められ、この液晶素子 5 7 を含んだ表示画素においては、液晶素子 5 7 の両端に印加される前記交流電圧の電圧の大きさに対応した明るさの表示が行なわれることになるものである。

【 0 0 0 9 】このように、この既知の液晶表示装置は、信号ライン 5 2 の信号電圧が電圧蓄積キャパシタ 5 5 に蓄積されるので、第 1 の T F T 5 4 の導通時間が短くても、確実に、信号電圧の大きさに対応した液晶素子 5 7 の充電を行なうことができ、しかも、その信号電圧を比較的長い期間殆ど損失なしに蓄積保持させることができるものである。

【 0 0 1 0 】

【発明が解決しようとする課題】前記既知の液晶表示装置は、第 1 の T F T 5 4 の導通時間、即ち、走査パルス幅、または画素選択時間を比較的短く選ぶことができるものであるが、その場合においても、大面積、高精細画面の液晶表示装置を構成させるために、走査ラインの総数を増大させるようにすると、画素選択時間をさらに短くする必要がある。その場合、電圧蓄積キャパシタ 5 5 への信号電圧の充電が十分でなくなり、信号電圧と充電電圧とに差が生じるため、表示品位を著しく低下させることは明らかであり、当然に前記既知の液晶表示装置では対応することができなくなるとい問題を有している。

【 0 0 1 1 】また、前記既知の液晶表示装置を含んだ各種の液晶表示装置において、表示色数（表示階調数）を

増加させるためには、信号ラインに印加する信号電圧の大きさを、液晶素子のしきい値電圧からその飽和電圧の範囲に至るまで、その階調数に応じて細かく制御する必要があるが、この制御を行なうためには、液晶表示装置の表示パネル内にある全ての表示画素に信号電圧を高精度で印加する必要がある、それには画素選択時間ごとに各信号ラインの信号電圧を順次切り換える必要がある。しかるに、各信号ラインには、その配線抵抗、配線容量等があるので、それらによって信号電圧の大きさが変化したり、その電圧波形が変形してしまったりする懸念があって、表示色数（表示階調数）を増加させた場合に、正確な色数表示を行なうことができないという問題もある。

【 0 0 1 2 】本発明は、これらの問題点を除去するものであって、その目的は、大面積、高精細画面においても良好な表示品質が得られ、表示時の階調レベルを増しても正確な階調表示ができるアクティブマトリクス表示装置を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】前記目的の達成のために、本発明は、互いに平行配置された複数の列方向ラインと、それら列方向ラインに絶縁直交配置された複数の行方向ラインと、各列方向ラインと各行方向ラインの交点にそれぞれ接続配置された多数の表示画素と、前記多数の表示画素に各別に接続された多数の選択ラインとを備え、前記多数の表示画素は、表示素子と電荷保持手段と表示素子駆動手段を含み、前記多数の表示画素の表示時に、各列方向ラインと各行方向ラインに同時に選択電圧を供給するとともに、1つの同じ階調レベルを表示させる各表示画素に接続された前記選択ラインに、前記階調レベルの表示を行なう階調電圧を同時に供給して、当該各表示画素を選択的に同時に表示させるように構成し、また、前記階調電圧は、各階調レベル毎にその階調レベルに対応した前記選択ラインに時分割的に順次供給され、1フレーム期間内に、全ての階調レベルについて前記階調電圧の時分割的な供給が行なわれる手段を備える。

【 0 0 1 4 】

【作用】前記手段によれば、各列方向ラインと各行方向ラインの交点にそれぞれ接続配置された多数の表示画素の選択は、各列方向（走査）ラインに印加される走査パルスによって行なうのではなく、前記多数の表示画素の表示時に、同じ階調レベルの表示を行なう表示画素に、その階調レベルの表示を行なう階調電圧を同時に供給し、この階調電圧の供給によって当該表示画素の選択を行ない、この選択した表示画素において前記階調レベルの表示を行なうようにしている。

【 0 0 1 5 】そして、各表示画素への階調電圧の供給は、表示すべき階調レベルごとに時分割的に行なっており、全ての表示すべき階調レベルに対応した階調電圧の

供給は、1フレーム期間内に一巡させるようにしている。

【0016】このように、1フレーム期間内における多数の表示画素の選択は、走査ラインに順次供給される走査パルスに依存することなく、これら表示画素で表示すべき階調レベル数のみに依存するようになり、この場合に、前記階調レベル数を基にした画素選択時間は、走査ラインの総数を基にした画素選択時間よりもかなり長くできるので、大面積、高精細画面においても良好な画質の表示を行なうことができ、しかも、各階調レベルごとにその階調に相当する正確な表示を行なうことができる。

【0017】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0018】図1は、本発明に係わるアクティブマトリクス表示装置の一実施例の要部を示す概略構成図である。

【0019】図1において、1-1、1-2、… …、1-mは列方向ライン、2-1、2-2、… …、2-nは行方向ライン、3-11、3-12、… …、3-1n、3-21、3-22、… …、3-mnは表示画素、4-1、4-2、… …、4-nは共通ライン、5-11、5-12、… …、5-1n、5-21、5-22、… …、5-mnは選択ライン、6は列方向ライン選択手段、7は行方向ライン選択手段、8は共通電圧供給手段、9は階調電圧供給手段、10は制御部である。

【0020】そして、各列方向ライン1-1乃至1-m、及び、各行方向ライン2-1乃至2-nは、それぞれ等間隔に平行配置され、各列方向ライン1-1乃至1-mと各行方向ライン2-1乃至2-nとは、絶縁された状態で直交配置されている。各列方向ライン1-1乃至1-mの一端はそれぞれ列方向ライン選択手段6に接続され、各行方向ライン2-1乃至2-nの一端はそれぞれ行方向ライン選択手段7に接続されている。各列方向ライン1-1乃至1-mと各行方向ライン2-1乃至2-nとの交差部には、それぞれ表示画素3-11乃至3-mnが接続配置され、それによって、これら表示画素3-11乃至3-mnが列方向に各n個、行方向に各m個配置されてなるマトリクス表示パネルが構成されている。共通ライン4-1乃至4-nは、それぞれ行方向に延び、それらの一端は共通電圧供給手段8において共通に接続されている。共通ライン4-1は、行方向に配置されたm個の表示画素3-11乃至3-m1に共通に接続され、他の共通ライン4-2乃至4-nも、同様の態様で対応する表示画素に共通に接続されている。各選択ライン5-11乃至5-mnは、それぞれ行方向に延び、それら一端は対応するそれぞれの表示画素3-11乃至3-mnに接続され、それらの他端が各別に階調電

圧供給手段9に接続される。また、制御部10は、列方向ライン選択手段6、行方向ライン選択手段7、共通電圧供給手段8、階調電圧供給手段9にそれぞれ接続され、これらの手段6乃至9を個別に制御するようにしている。

【0021】続く、図2は、1つの表示画素、例えば、表示画素3-11の構成の一例を示す回路構成図である。

【0022】図2において、11は第1の薄膜トランジスタ(TFT)、12は第2の薄膜トランジスタ(TFT)、13はコンデンサ、14は液晶素子であり、その他、図1に示された構成要素と同じ構成要素には同じ符号を付けている。

【0023】そして、第1のTFT11は、ゲートが列方向ライン1-1に、ドレインが行方向ライン2-1に、ソースが第2のTFT12のゲートにそれぞれ接続され、第2のTFT12は、ドレインが共通ライン4-1に、ソースが液晶素子14の一端にそれぞれ接続される。コンデンサ13は、一端が第2のTFT12のゲートに、他端が共通ライン4-1にそれぞれ接続され、液晶素子14の他端は選択ライン5-11に接続される。この場合、第1のTFT11とコンデンサ13は電荷保持手段を、第2のTFT12は表示素子(液晶素子)14駆動手段を、液晶素子14は表示素子をそれぞれ構成している。

【0024】また、図3は、本実施例のマトリクス表示パネルにおける表示の一例と、そのときの各表示画素の表示状態を表わす表示説明図であって、(a)は表示例、(b)乃至(e)は各表示画素の表示状態、(f)は各階調レベルを状態を示すものである。

【0025】そして、図3の例では、説明を簡単にするために、図1に示されるマトリクス表示パネルは、列方向及び行方向がともに5個ずつで合計25個の表示画素3-11乃至3-15、3-21乃至3-25、… …、3-51乃至3-55によって構成されているもの(5×5画素マトリクス表示パネル)とし、しかも、各表示画素の表示時において、4つの階調レベル①、②、③、④の表示が行なわれるものとする。

【0026】ここで、本実施例の動作を図2及び図3を併用して説明する。

【0027】まず、最初の1フレーム期間に入ると、制御部10は、列方向ライン選択手段6、行方向ライン選択手段7、共通電圧供給手段8の制御を行ない、列方向ライン選択手段6から5本の列方向ライン1-1乃至1-5に、同時に、行方向ライン選択手段7から5本の行方向ライン2-1乃至2-5にそれぞれ選択電圧を印加させ、また、共通電圧供給手段8から共通ライン4-1乃至4-5に共通電圧を印加させる。この場合に、各表示画素3-11乃至3-55、例えば、表示画素3-11においては、列方向ライン1-1及び行方向ライン2

—1への選択電圧の印加によって第1のTF T 1 1が導通状態になり、また、共通ライン4—1への共通電圧の印加によって行方向ライン2—1の選択電圧が導通状態の第1のTF T 1 1を介してコンデンサ13に充電され、第2のTF T 1 2を導通状態に駆動させる。なお、これら選択電圧の印加及び共通電圧の印加は、前記1フレーム期間が終了するまで持続され、その間、第1のTF T 1 1及び第2のTF T 1 2は導通状態を維持し、コンデンサ13の充電電圧も維持されている。

【0028】一方、この1フレーム期間内に、制御部10の制御に基づいて、階調電圧印加手段9が所定のタイミングをもって選択ライン5—11を選択し、その選択ライン5—11を介して階調レベル③の表示を行なうための第3の階調電圧を印加したとすると、液晶素子14は導通状態にある第2のTF T 1 2を介して第3の階調電圧で充電され、その充電により液晶素子14は階調レベル③の表示を行なうように駆動される。そして、この第3の階調電圧は、次の階調レベル、例えば、階調レベル④の表示を行なうための第4の階調電圧の供給とともに、選択ライン5—11への供給が停止されるが、前記第3の階調電圧の供給の停止により、液晶素子14の選択ライン5—11側のインピーダンスは極めて高くなるので、液晶素子14の充電電荷は、次のフレーム期間に、この液晶素子14に何れかの階調レベルの階調電圧が供給されるまでその状態に維持され、この表示画素3—11においては持続的に前記階調レベル③の表示が行なわれる。

【0029】また、次のフレーム期間も、前述の動作と殆んど同じであるが、このフレーム期間に表示画素3—11の液晶素子14に供給される階調電圧は、必ずしも第3の階調電圧が再び供給されるものと限らず、例えば、階調レベル④の表示を行なうための第4の階調電圧が供給されるようになり、その供給タイミングも前のフレーム期間の場合と異なるようにある。そして、表示画素3—11の液晶素子14に第4の階調電圧が供給されたときには、この表示画素3—11において持続的に前記階調レベル④の表示が行なわれるようになる。

【0030】続いて、前記5×5画素マトリクス表示パネルにおいて、4階調レベル①乃至④により、所定の内容の表示を行なう場合、ここでは、図3に示すように、例えば、片仮名の「ヒ」の字を含んだ表示を行う場合について述べると、次のとおりである。ただし、この場合に、1フレーム期間内において、いずれかの選択ライン5—11乃至5—55を介して供給される階調電圧の順番は、最初に階調レベル①の表示を行なうための第1の階調電圧、次が階調レベル②の表示を行なうための第2の階調電圧、さらに階調レベル③の表示を行なうための第3の階調電圧、最後に階調レベル④の表示を行なうための第4の階調電圧であるとする。

【0031】まず、1フレーム期間内の最初の1／4期

間内には、制御部10の制御により、階調電圧印加手段9において、階調レベル①の表示を行なう複数の表示画素、ここでは表示画素3—12、3—22、3—32乃至3—52、3—42、3—52乃至3—55に接続された選択ライン5—12、5—22、5—32乃至5—52、5—42、5—52乃至5—55が選択され、これら選択された選択ライン5—12、5—22、5—32乃至5—52、5—42、5—52乃至5—55を介して前述の表示画素3—12、3—22、3—32乃至3—52、3—42、3—52乃至3—55に第1の階調電圧が供給され、それによって、前述の表示画素3—12、3—22、3—32乃至3—52、3—42、3—52乃至3—55において、同時に階調レベル①の表示が行なわれ、この表示は既に述べたように、次のフレーム期間まで持続される。

【0032】次いで、前記1フレーム期間内の第2の1／4期間内には、同様に制御部10の制御により、階調電圧印加手段9において、階調レベル②の表示を行なう複数の表示画素、ここでは表示画素3—13乃至3—15、3—23乃至3—25に接続された選択ライン5—13乃至5—15、5—23乃至5—25が選択され、これら選択された選択ライン5—13乃至5—15、5—23乃至5—25を介して前記表示画素3—13乃至3—15、3—23乃至3—25に第2の階調電圧が供給され、それにより前記表示画素3—13乃至3—15、3—23乃至3—25においては同時に階調レベル②の表示が行なわれ、この表示も次のフレーム期間まで持続される。

【0033】続いて、前記1フレーム期間内の第3の1／4期間内には、同じく制御部10の制御により、階調電圧印加手段9において、階調レベル③の表示を行なう複数の表示画素、ここでは表示画素3—11、3—21、3—31、3—41、3—51に接続された選択ライン5—11、5—21、5—31、5—41、5—51が選択され、これら選択された選択ライン5—11、5—21、5—31、5—41、5—51を介して前記表示画素3—11、3—21、3—31、3—41、3—51に第3の階調電圧が供給され、それにより前記表示画素3—11、3—21、3—31、3—41、3—51においては同時に階調レベル③の表示が行なわれ、この表示も次のフレーム期間まで持続される。

【0034】最後に、前記1フレーム期間内の第4の1／4期間内には、同じく制御部10の制御により、階調電圧印加手段9において、階調レベル④の表示を行なう複数の表示画素、ここでは表示画素3—43乃至3—45に接続された選択ライン5—43乃至5—45が選択され、これら選択された選択ライン5—43乃至5—45を介して前記表示画素3—43乃至3—45に第4の階調電圧が供給され、それにより前記表示画素3—43乃至3—45においては同時に階調レベル④の表示が行

なわれ、この表示も次のフレーム期間まで持続され、それらの総合により、前記 1 フレーム期間内に図 3 (a) に示すような片仮名の「ヒ」の字を含んだ表示が行なわれる。

【0035】また、次のフレーム期間内の表示動作も、前述の表示動作と殆んど同じであって、同様に、そのフレーム期間内に 4 つの階調レベル①乃至④の表示を行なう複数の表示画素が順次選択され、その選択された表示画素に順次第 1 乃至第 4 の階調電圧が供給されて、所要の階調数（色数）を持ち、所要形態の内容を持った表示が行なわれるものである。

【0036】次に、図 4 は、階調電圧印加手段 9 から各選択ライン 5-11 乃至 5-55 に印加される第 1 乃至第 4 の階調電圧の時間的経緯の一例を示す電圧波形図であって、図 3 に示す 5×5 画素マトリクス表示パネルに適用される例である。

【0037】図 4 において、縦軸は第 1 乃至第 4 の階調電圧の電圧レベル V1 乃至 V4 であり、横軸は時間である。

【0038】また、図 5 は、液晶素子に印加する電圧と、液晶素子の表示輝度との関係を示す動作特性図であって、縦軸は表示輝度、横軸は印加電圧である。

【0039】図 5 に示すように、液晶素子において、そのしきい値と飽和レベルとの間を、ほぼ等間隔に分割して設定した 4 段階の表示輝度（階調レベル）①乃至④の表示を行なうためには、図示のような 4 つの印加電圧 V1、V2、V3、V4 を選択すればよく、これらの電圧 V1、V2、V3、V4 が階調電圧印加手段 9 において第 1 乃至第 4 の階調電圧 V1、V2、V3、V4 になるように選択される。

【0040】また、図 4 に示すように、液晶素子を交流駆動する場合には、第 1 乃至第 4 の階調電圧 V1 乃至 V4 が実質的に極性反転すればよいもので、正極性の第 1 乃至第 4 の階調電圧 V1 乃至 V4 を 1 周期供給した後、次の周期には負極性の第 1 乃至第 4 の階調電圧（-V1）乃至（-V4）を供給し、さらに、その次の周期には再び正極性の第 1 乃至第 4 の階調電圧 V1 乃至 V4 というように、周期ごとに第 1 乃至第 4 の階調電圧 V1 乃至 V4 の極性を反転させればよい。

【0041】また、階調電圧印加手段 9 から各選択ライン 5-11 乃至 5-55 に印加される階調電圧の時間的経緯は、前述のように階段状に順次増大するまたは減少する形態のものだけではなく、各種形態のものが利用できる。

【0042】ここで、図 6 は、前記階調電圧の時間的経緯の幾つかの形態の例を示す電圧波形図である。

【0043】図 6 において、(a) は 2 階調レベルの表示を行なう場合であって、このときにはオン／オフ状態の第 1 及び第 2 の階調電圧が用いられる。(b) は連続的に変化する多階調レベルの表示を行なう場合であっ

て、このときには連続的に増大または減少する階調電圧（三角波形状の階調電圧）が用いられ、テレビジョン（TV）等のアナログ駆動に対応させることができるものである。(c) は段階的に変動する多階調レベル（レベル間不均一）の表示を行なう場合であって、このときには増大または減少の割合を不均一にした多段階の階調電圧が用いられ、液晶素子の透過率の電圧依存性に基づく非線形特性を、視角的に等間隔になるように補正させることができるものである。(d) は階調レベルの選択順序を任意にした多階調レベルの表示を行なう場合であって、このときには印加順序が階調レベルに依存しない多段階の階調電圧が用いられる。また、前記 (a)、(b)、(c) の場合は、階調電圧の極性が周期的に反転するようにしているが、前記 (d) の場合は、階調電圧の極性も任意に反転している。この (d) の場合においては、表示画素ごとに階調電圧の極性がランダムであるため、フリッカ等の画面の表示のちらつきを軽減することができる。

【0044】このように、本実施例によれば、液晶表示装置における 1 フレーム当たりの各表示画素 3-11 乃至 3-mn の画素選択時間が走査ライン（本実施例の列方向ラインに対応する）の総数によって決定されるのではなく、表示すべき表示画素 3-11 乃至 3-mn の階調数（色数）によって決定され、この場合に、通常の状態においては、走査ラインの総数に比べて階調数（色数）の方がかなり少なくなるので、液晶表示装置のマトリクス表示パネルが大面積化、高精細化されたとしても、各表示画素 3-11 乃至 3-mn における画素選択時間を長くとることができ、それにより表示品質の良好な表示画像を得ることができるものである。

【0045】ちなみに、現実の階調数として 256 を選び、液晶表示装置として画面のちらつきが認められない程度の液晶交流駆動周波数として 25 乃至 50 Hz の範囲内の周波数を選択したとき、画素選択時間は、例えば、78.1 μ s になり、従来のこの種の装置（640×480 画素のマトリクス表示パネル）の画素選択時間、例えば、41.7 μ s に比べて 1.9 倍程度長くなる。

【0046】次に、図 7 は、1 つの表示画素、例えば、表示画素 3-11 の構成の他の例を示す回路構成図であって、(a) は共通ライン 4-1 を省いた例、(b) は共通ライン 4-1 を省き、第 1 の TFT11 をも省いている例である。

【0047】図 7 において、15 は直列抵抗であって、その他、図 1 及び図 2 に示された構成要素と同じ構成要素には同じ符号を付けている。

【0048】そして、前記 (a) の例においては、第 2 の TFT12 のドレインを走査ライン 1-1 に接続し、コンデンサ 13 の一端を隣の走査ライン 1-2 に接続している。また、前記 (b) においては、第 1 の TFT1

1 の代わりに抵抗 1 5 が用いられ、この場合に、抵抗 1 5 の一端を行方向ライン 2 - 1 に、他端を第 2 の T F T 1 2 のゲートに接続している。これと同時に、第 2 の T F T 1 2 のドレイン及びコンデンサ 1 3 の一端をそれぞれ走査ライン 1 - 1 に接続している。

【0049】前記 (a) 及び (b) の例に示された表示画素を、図 1 の表示画素 3 - 1 1 乃至 3 - m n に用いてなる実施例の動作は、既に述べた (図 1 及び図 2 に示された) 実施例の動作と同じであるので、これ以上の動作説明は省略する。

【0050】しかるに、前記 (a) の例に示された表示画素を用いた実施例の場合には、表示画素 3 - 1 1 についてのみ述べると、共通ライン 4 - 1 と走査ライン 1 - 1 または 1 - 2 とが兼用され、実際に第 2 の T F T 1 2 に関連する部分の回路構成が簡略化されることになって、マトリクス表示パネルの歩留まり及び信頼性が向上する。また、前記 (b) の例に示された表示画素を用いた実施例の場合には、コンデンサ 1 3 の印加電圧の実効値は選択される表示画素と非選択の表示画素とで電圧差が生じるが、選択される表示画素の前記印加電圧を第 2 の T F T 1 2 のしきい値電圧よりも高く、非選択の表示画素の前記印加電圧を第 2 の T F T 1 2 のしきい値電圧よりも低く設定して、選択される表示画素の第 2 の T F T 1 2 だけが導通状態になるように設定すれば、既に述べた (図 1 及び図 2 に示された) 実施例と同様な動作を行なわせることができる。

【0051】また、他の実施例として、液晶素子 1 4 に代えて、エレクトロルミネッセンス (E L) 素子を用い、全体として、アクティブマトリクス E L 表示パネルを構成することも可能である。本例の場合には、第 1 及び第 2 の T F T 1 1、1 2 を形成した基板上に、硫化亜鉛 (Z n S)、硫化カルシウム (C a S)、硫化ストロンチウム (S r S) を母体とし、これにマンガン (M n)、セリウム (C e)、ユウロピウム (E u) 等の遷移金属または希土類を添加した発光層と、その一方または両側に酸化イットリウムや、酸化珪素、酸化アルミニウムあるいは 5 酸化タンタルからなる絶縁膜を形成し、最後に対向電極を形成すれば、E L 素子を構成することができる。

【0052】なお、本例の場合には、第 1 及び第 2 の T F T 1 1、1 2 として、1 0 0 V 以上の耐圧を有するものが必要であり、それには活性層としてシリコン (S i) を用いる他に、セレン化カドミウム (C d S e) のような II - VI 族化合物を用いた T F T が適用可能である。

【0053】

【発明の効果】以上述べたように、本発明によれば、ア

クティブマトリクス表示装置における 1 フレーム当たりの各表示画素 3 - 1 1 乃至 3 - m n の画素選択時間を、前記表示画素 3 - 1 1 乃至 3 - m n における表示すべき階調数 (色数) によって決定するようにしているので、アクティブマトリクス表示装置のマトリクス表示パネルが大面積化、高精細化されたとしても、各表示画素 3 - 1 1 乃至 3 - m n における画素選択時間を長くとることができ、それにより表示品質の良好な表示画像を得ることができるという効果がある。

10 【図面の簡単な説明】

【図 1】本発明に係わるアクティブマトリクス表示装置の一実施例の要部を示す概略構成図である。

【図 2】1 つの表示画素の構成の一例を示す回路構成図である。

【図 3】図 1 の実施例に示されたマトリクス表示パネルにおける表示の一例と、そのときの各表示画素の表示状態を表わす表示説明図である。

【図 4】階調電圧印加手段から各選択ラインに印加される第 1 乃至第 4 の階調電圧の時間的経緯の一例を示す電圧波形図である。

【図 5】液晶素子に印加する電圧と、液晶素子の表示輝度との関係を示す動作特性図である。

【図 6】階調電圧の時間的経緯の幾つかの形態の例を示す電圧波形図である。

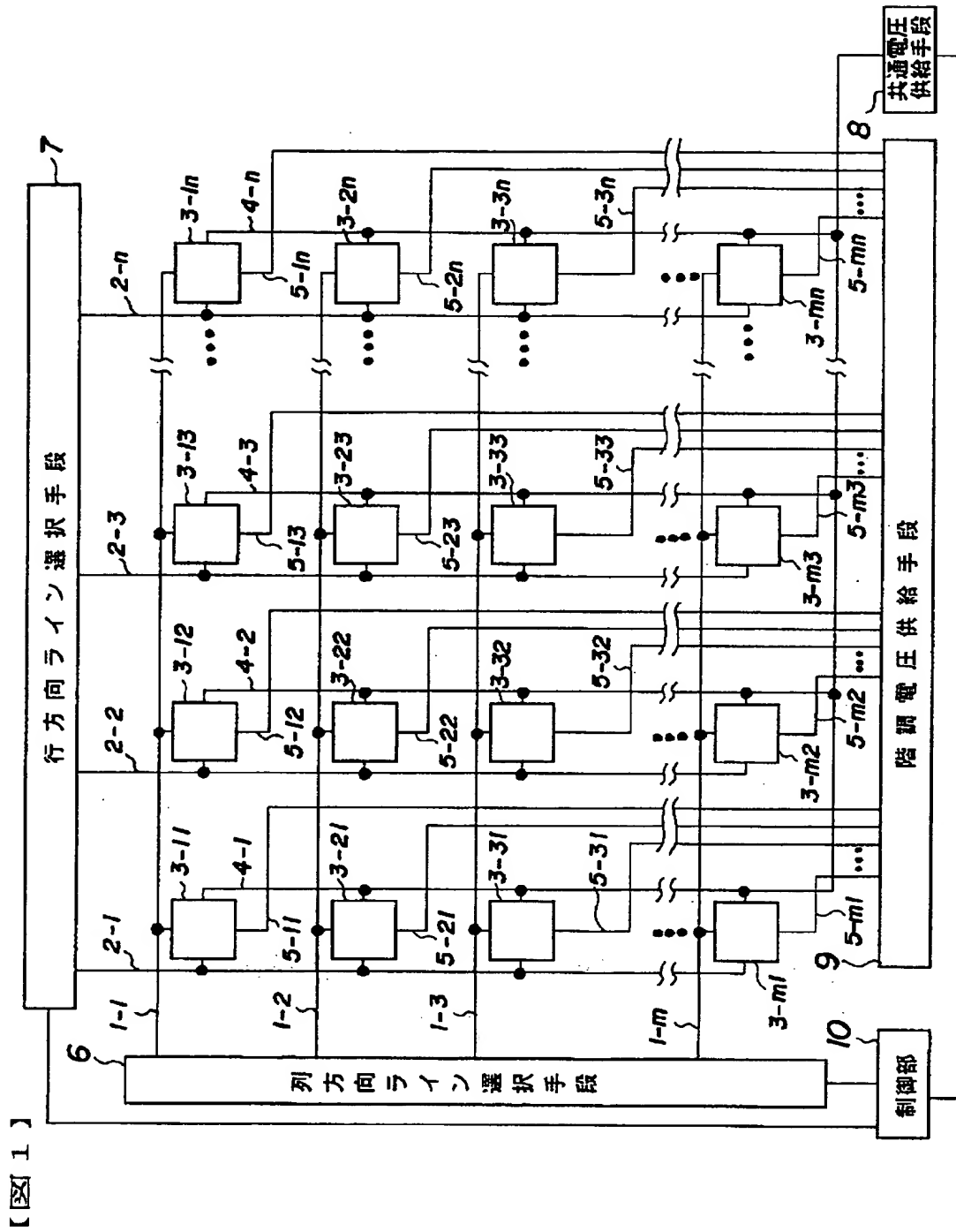
【図 7】1 つの表示画素の構成の他の例を示す回路構成図である。

【図 8】既知の液晶表示装置の 1 つの表示画素に関連する構成部分を表わす回路構成図の一例である。

【符号の説明】

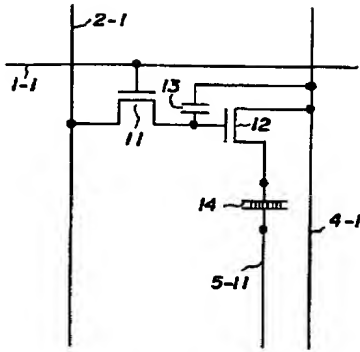
- 30 1 - 1、1 - 2、… …、1 - m 列方向ライン
- 2 - 1、2 - 2、… …、2 - n 行方向ライン
- 3 - 1 1、3 - 1 2、… …、3 - 1 n、3 - 2 1、3 - 2 2、… …、3 - m n 表示画素
- 4 - 1、4 - 2、… …、4 - n 共通ライン
- 5 - 1 1、5 - 1 2、… …、5 - 1 n、5 - 2 1、5 - 2 2、… …、5 - m n 選択ライン
- 6 列方向ライン選択手段
- 7 行方向ライン選択手段
- 8 共通電圧供給手段
- 40 9 階調電圧供給手段
- 10 制御部
- 11 第 1 の薄膜トランジスタ (T F T)
- 12 第 2 の薄膜トランジスタ (T F T)
- 13 コンデンサ
- 14 液晶素子
- 15 抵抗

【図 1】



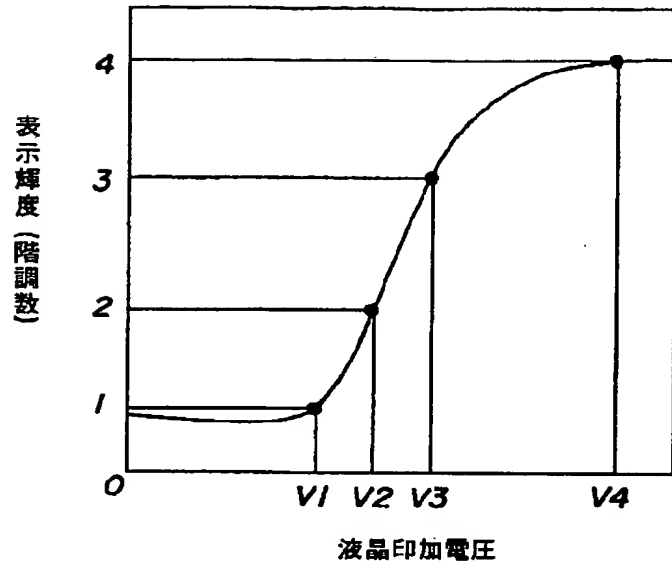
【図2】

【図2】



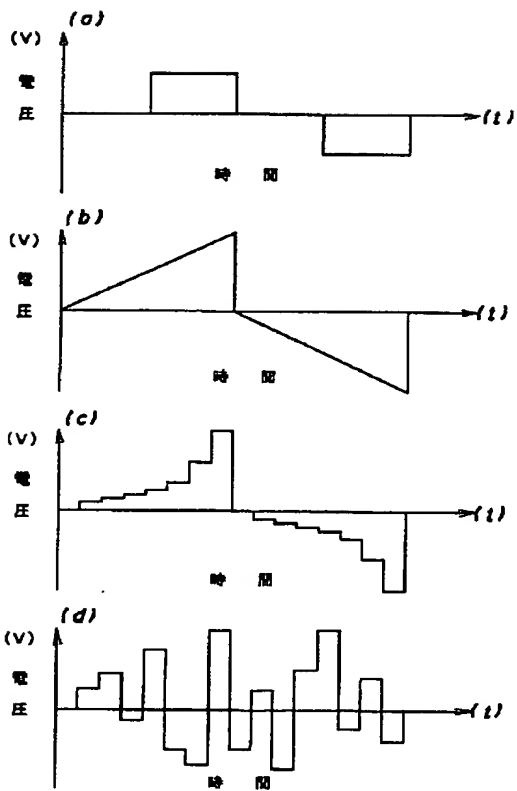
【図5】

【図5】



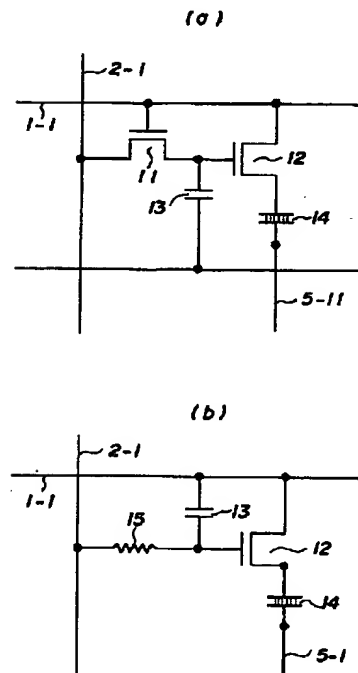
【図6】

【図6】



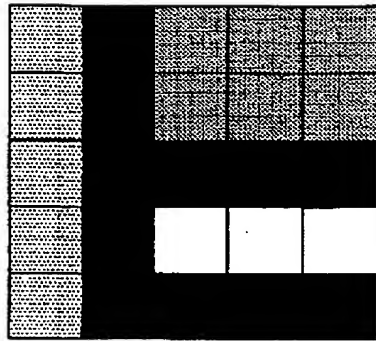
【図7】

【図7】

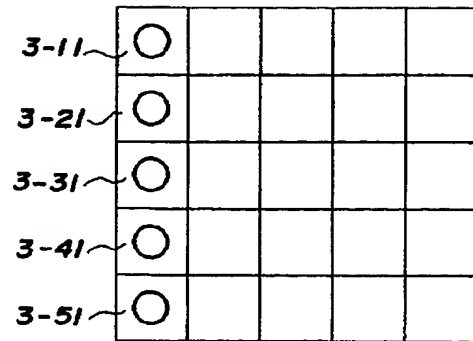


【図3】

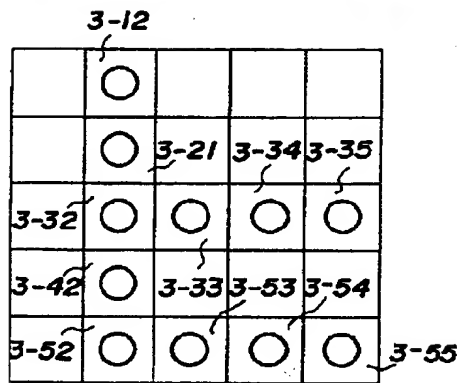
【図3】



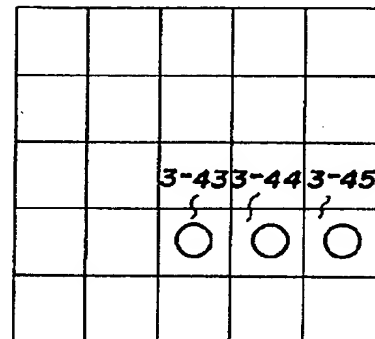
(a) 表示例



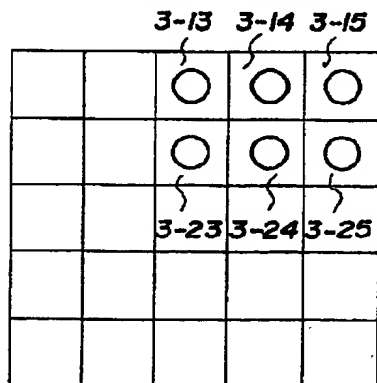
(d) 階調3印加画素



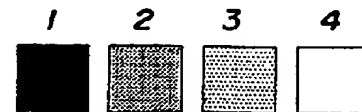
(b) 階調1印加画素



(e) 階調4印加画素

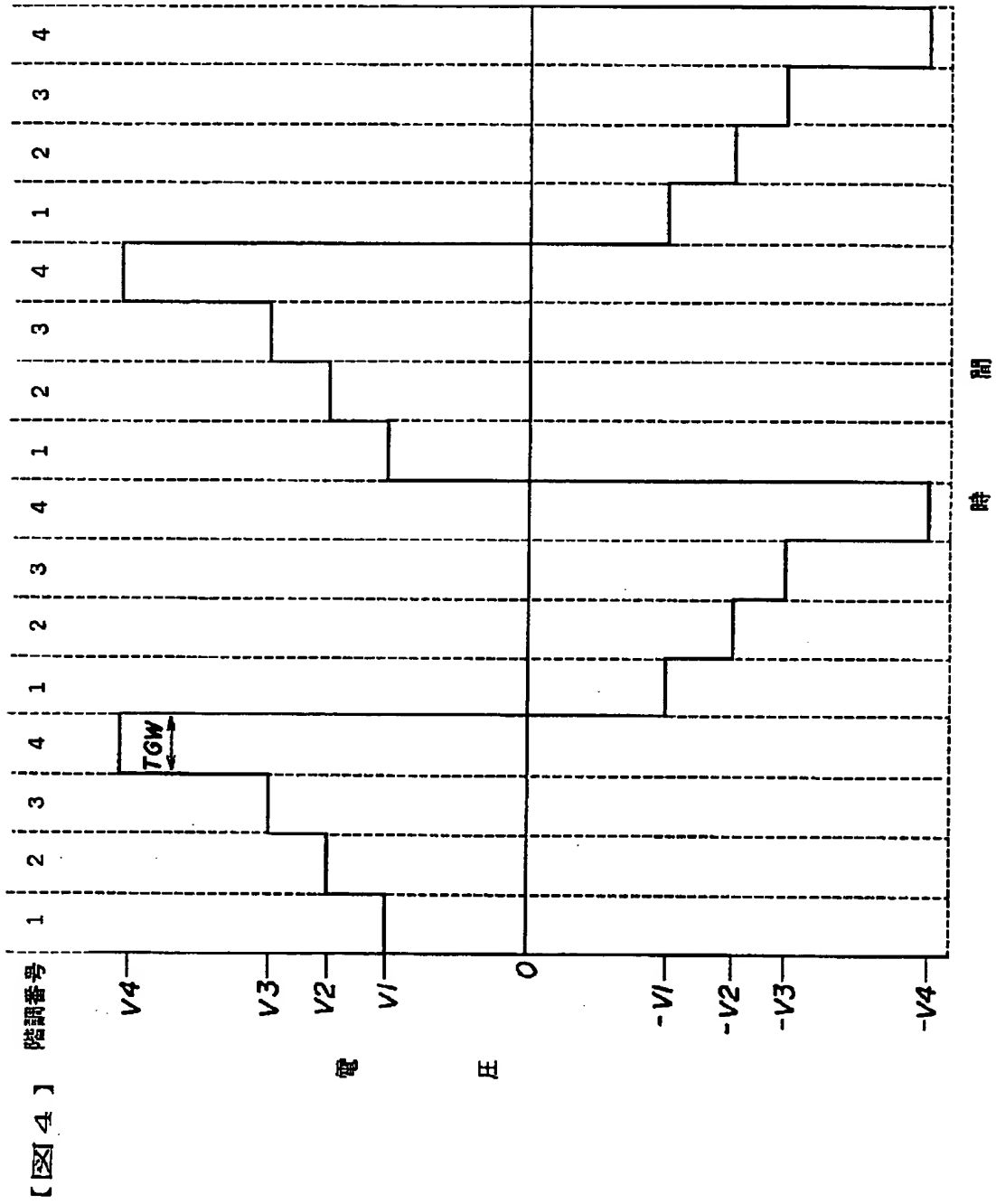


(c) 階調2印加画素



(f) 階調番号

【図 4】



【図 8】

【図 8】

